

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2004 年 12 月 29 日 (29.12.2004)

PCT

(10) 国際公開番号
WO 2004/114390 A1

- (51) 国際特許分類⁷: H01L 21/336, 29/78
- (21) 国際出願番号: PCT/JP2004/005997
- (22) 国際出願日: 2004 年 4 月 26 日 (26.04.2004)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2003-176582 2003 年 6 月 20 日 (20.06.2003) JP
- (71) 出願人 (米国を除く全ての指定国について): 日本電気株式会社 (NEC CORPORATION) [JP/JP]; 〒1088001 東京都港区芝五丁目 7 番 1 号 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 小倉 卓 (OGURA,

Takashi) [JP/JP]; 〒1088001 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内 Tokyo (JP). 五十嵐 信行 (IKARASHI, Nobuyuki) [JP/JP]; 〒1088001 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内 Tokyo (JP). 岩本 敏幸 (IWAMOTO, Toshiyuki) [JP/JP]; 〒1088001 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内 Tokyo (JP). 渡辺 啓仁 (WATANABE, Hirohito) [JP/JP]; 〒1088001 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内 Tokyo (JP).

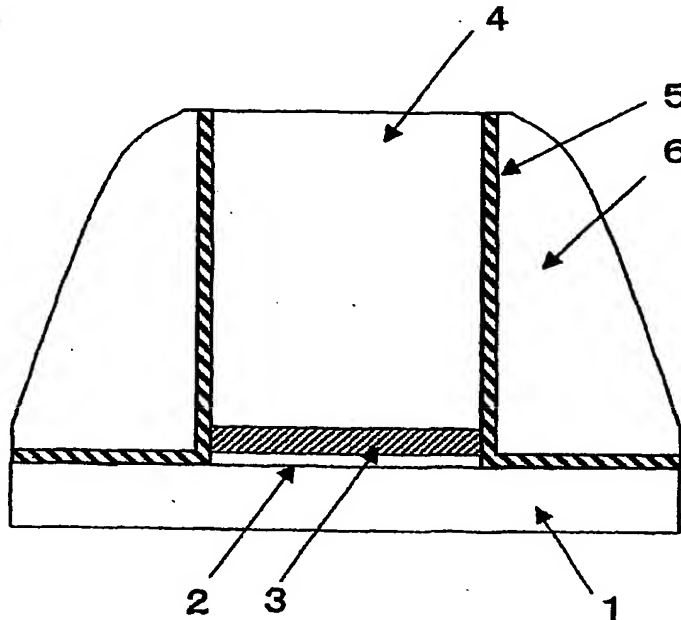
(74) 代理人: 宮崎 昭夫, 外 (MIYAZAKI, Teruo et al.); 〒1070052 東京都港区赤坂 1 丁目 9 番 2 0 号 第 1 6 興和ビル 8 階 Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS,

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE AND PRODUCTION METHOD THEREFOR

(54) 発明の名称: 半導体装置及びその製造方法



(57) Abstract: A semiconductor device provided with a MIS field effect transistor comprising a silicon substrate, a gate insulation film provided on this silicon substrate via a silicon-containing insulation film and having a high-permittivity metal oxide film, a silicon-containing gate electrode formed on this gate insulation film, and a side wall including, as a constitution member, silicon oxide on the side surface side of this gate electrode, wherein a silicon nitride film is interposed between this side wall and at least the side surface of the gate electrode. This semiconductor device, although having a fine structure with a small gate length, is capable of low power-consumption and fast operation.

[続葉有]

WO 2004/114390 A1



LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE,

2 文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(57) 要約: 本発明によれば、シリコン基板と、このシリコン基板上にシリコン含有絶縁膜を介して設けられた高誘電率金属酸化膜を有するゲート絶縁膜と、このゲート絶縁膜上に形成されたシリコン含有ゲート電極と、このゲート電極の側面側に酸化シリコンを構成部材として含むサイドウォールとを有し、このサイドウォールと少なくとも前記ゲート電極の側面との間に窒化シリコン膜が介在するMIS型電界効果トランジスタを備えた半導体装置が提供される。この半導体装置は、ゲート長が短い微細構造を有しながら、低消費電力でかつ高速動作が可能となる。